

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-326741

(43)公開日 平成6年(1994)11月25日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|----------|----------------|--------|
| H 0 4 L 27/38 | | | | |
| H 0 3 H 15/00 | | 7037-5 J | | |
| H 0 4 B 3/06 | E | 7741-5 K | | |
| | | 9297-5 K | H 0 4 L 27/ 00 | G |
| | | 9297-5 K | | B |

審査請求 未請求 請求項の数6 OL (全 12 頁) 最終頁に続く

(21)出願番号 特願平5-111888

(22)出願日 平成5年(1993)5月13日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 伊賀 弘幸

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝映像メディア技術研究所内

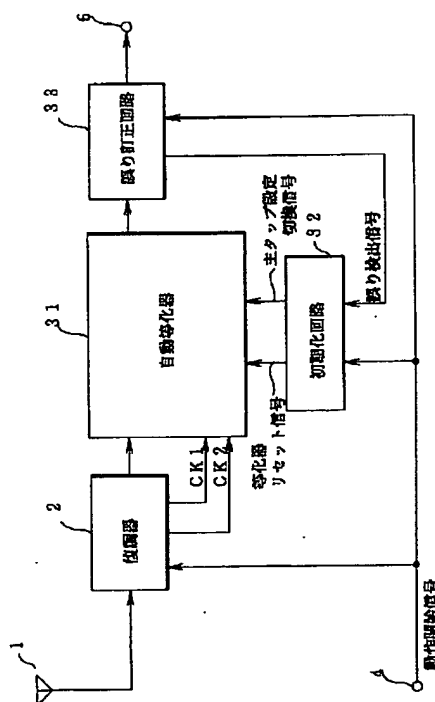
(74)代理人 弁理士 伊藤 進

(54)【発明の名称】 データ復調装置

(57)【要約】

【目的】再生データクロック位相がアイパターンの最悪点近傍になっても、等化動作を可能にする。

【構成】復調器2は周期がTのデータ信号をT/2周期のベースバンド信号に復調して自動等化器31に与える。自動等化器31は復調信号を等化して誤り訂正回路33に出力する。誤り訂正回路33から誤り訂正不能となったことを示す誤り検出信号が発生すると、初期化回路32は主タップ位置を1タップ分ずらす初期設定を行う。これにより、クロック位相は等化的にアイパターンの最良点近傍において発生することになり、良好な等化動作が行われる。



【特許請求の範囲】

【請求項1】 変調された周期 T のデータ信号を $T/2$ 周期毎のベースバンド信号に復調する復調手段と、この復調手段によって復調された復調信号を等化する自動等化手段と、

この自動等化手段によって等化された周期 T 毎のデータ信号の誤りが所定値を越えたことを検出して誤り検出信号を出力する誤り検出手段と、

前記自動等化手段の等化動作開始時の初期設定を指示するための動作開始信号と前記誤り検出信号とに基づいて前記自動等化手段を初期設定する初期化手段とを具備することを特徴とするデータ復調装置。

【請求項2】 前記自動等化手段は、タップ可変のトランスバーサルフィルタによって構成され、前記初期化手段は、前記誤り検出信号が入力されると、前記動作開始信号に基づく各タップの初期設定とは異なる設定で前記各タップを初期設定するタップ再設定手段を具備したことを特徴とする請求項1に記載のデータ復調装置。

【請求項3】 前記タップ再設定手段は、前記誤り検出信号が入力された場合には、前記動作開始信号に基づく初期設定に対して主タップの位置を1タップ分ずらすように初期設定することを特徴とする請求項2に記載のデータ復調装置。

【請求項4】 前記自動等化手段は、前記初期化手段に制御されて、前記主タップと主タップに隣接したタップとに与えるタップ係数値を前記動作開始信号に基づく初期設定時と前記誤り検出信号に基づく初期設定時とで切換えることを特徴とする請求項2に記載のデータ復調装置。

【請求項5】 前記自動等化手段は、前記初期化手段に制御されて、前記トランスバーサルフィルタに与える復調信号の遅延量を前記動作開始信号に基づく初期設定時と前記誤り検出信号に基づく初期設定時とで変化させることにより主タップ位置を1タップ分ずらすことを特徴とする請求項2に記載のデータ復調装置。

【請求項6】 前記タップ再設定手段は、前記等化動作開始から所定時間後に前記誤り検出信号が発生した場合に各タップの初期設定を行うことを特徴とする請求項2に記載のデータ復調装置。

【発明の詳細な説明】

【0001】 【発明の目的】

【産業上の利用分野】 本発明は、データ復調装置に関し、特に、残留側波帯変調及び直交多値振幅変調等の線形変調を用いて伝送された多値データを復調するものに好適なデータ復調装置に関する。

【0002】

【従来の技術】 近年、データ伝送の分野においては、伝送情報量の増大に対処するために、帯域を広げることなく多くのデータの伝送を可能とする高能率変復調方式が研究されており、この方式を実現する変復調装置が開発

されている。高能率変復調方式としては、一般に、多値残留側波帯変調(VSB)及び直交多値振幅変調(QAM)に代表される多値直交変調と同期検波とを組合わせたものが採用されている。更に、自動等化器を採用して、伝送系の線形歪みによる符号間干渉を除去した変調も行われている。

【0003】 図6はこの種の従来のデータ復調装置の構成を示すブロック図である。この装置は文献1(柳井ほか、「長距離系新同期無線装置」、NEC技報、1991年、Vol.44, No.1, pp.58-65)によって基本構成が開示されている。

【0004】 マイクロ波帯の対向パラボラアンテナ1によって受信された16QAM信号又は256QAM信号は、復調器2においてデータ周期 T の半分の周期のベースバンド信号に復調される。復調信号は自動等化器3に与えられて等化される。復調器2は文献1等で公知の一般的な構成であるが、文献1ではデータ周期が T の復調ベースバンド信号を自動等化器3に与えて等化を行う例が示されている。これに対し、図6の装置は、 $T/2$ 周期の復調ベースバンド信号に対して等化を行うことにより、復調クロック位相に対する等化能力を向上させている。

【0005】 なお、 T/m (但し、 m は2以上の自然数)周期の復調ベースバンド信号に対する自動等化器は、文献2(J.G.Proakis, "Digital Communications," 1989, McGraw-Hill Book Company)等に説明されている。

【0006】 復調器2は、アンテナ1から得られるマイクロ波をIF信号に変換して、データクロックCK1(周期 T)及び復調データクロックCK2(周期 $T/2$)を再生すると共に、復調データクロックCK2の位相で、復調ベースバンド信号を出力する。即ち、復調器2はIF信号を同相搬送波を用いて同相復調すると共に、直交搬送波を用いて直交復調して、同相検波出力信号(I信号)及び直交検波出力信号(Q信号)から成る復調信号を出力する。以下、簡単化のために、I信号及びQ信号が夫々実数と虚数とに対応する複素信号であるものとして説明する。復調器2からの周期 $T/2$ の復調信号、データクロックCK1及びデータクロックCK2は自動等化器3に与えられる。

【0007】 図7は図6中の自動等化器の具体的な構成を示す回路図である。この回路の基本構成は、上述した文献2に開示されている。

【0008】 周期が $T/2$ の復調信号は自動等化器3の端子11を介して $T/2$ 型トランスバーサルフィルタ12に与えられる。トランスバーサルフィルタ12は前タップ数が a で、後ろタップ数は b であり、主タップと合わせて総タップ数は $n(=a+b+1)$ である。トランスバーサルフィルタ12の各タップ13-a, 13-a+1, ..., 13bはいずれも同一構成であり、端子11又は前段のタップから入

3

力された周期 $T/2$ の復調信号はクロック $CK2$ で動作するラッチ回路14に与えられる。

【0009】ラッチ回路14はクロック $CK2$ の周期で入力データをラッチして次段のタップに供給すると共に、複素乗算器15及びクロック $CK2$ でデータを保持する2段ラッチ回路16にも出力する。各タップ13-a, ..., 13bの複素乗算器15には夫々タップ係数 $c-a, c-a+1, \dots, c0, \dots, cb$, も与えられる。なお、これらのタップ係数は複素数である。複素乗算器15はラッチ回路14によって遅延された入力データにタップ係数を乗算して複素加算器17に与え、複素加算器17は各複素乗算器15の出力を加算してラッチ回路18に与える。ラッチ回路18によってクロック $CK1$ の周期 T 毎にデータが保持される。

【0010】ラッチ回路18の出力は判定器19に与えられて16QAM又は256QAMのいずれの値であるかが判定され、16QAM又は256QAMがとり得る最も近い値に変換されて出力される。判定器19の出力は等化出力として端子20を介して次段の誤り訂正回路5に与えられる。

【0011】判定器19の入出力は減算器21に与えられて減算され、変復調装置の周波数特性の乱れ及び伝送路の反射等に起因する符号間干渉成分である誤差信号 e が求められる。誤差信号 e は複素乗算器22に与えられて α 倍(α は正の微小値)され、複素乗算器23に出力される。複素乗算器23はラッチ回路16を介して復調信号も与えられており、入力復調信号と乗算器22からの出力復調信号との相関を求める。複素加算器24は、複素乗算器23からの周期 T 毎の相関結果と前クロック $CK1$ タイミングのタップ係数 c_i とを加算することにより、タップ係数を逐次修正する。

【0012】修正されたタップ係数はセレクトア25を介してラッチ回路26に与えられ、ラッチ回路26はクロック $CK1$ で動作してデータを保持すると共に、複素乗算器15及び複素加算器24にタップ係数として出力する。セレクトア25には初期設定用の固定値も入力されており、端子27を介して動作開始信号が与えられた場合にのみ固定値を選択する。即ち、動作開始時には、主タップのタップ係数 $c0$ のみ1で他のタップのタップ係数は0に設定される。なお、動作開始信号は図6の端子4を介して入力される。タップ係数の初期設定後、データ周期毎に各タップのタップ係数が逐次修正されて、伝送系の線形歪みによる符号間干渉が軽減される。

【0013】自動等化器3によって符号間干渉が軽減された復調信号は、周期 T 毎に誤り訂正回路5に与えられる。誤り訂正回路5は例えばBCH訂正符号を用いて誤り訂正を行い、復調データを出力端子6を介して出力する。

【0014】ところで、上述した多値直交変復調を用いたデータ伝送は、マイクロ波回線のように伝送品質が管

4

理された高品質伝送路において採用されている。これに対し、この種のデータ伝送を例えば地上放送に採用した場合には、ゴースト等の電波反射が多いことから、復調器2は、データクロックをアイパターンの中心近傍の位相で再生することが困難となる。復調器2の周波数特性に大きな乱れがある場合も同様であり、これらの場合には、データクロックの再生位相がアイパターンの最悪点近傍になることがあった。そうすると、データクロック位相に対する等化能力が高い $T/2$ 型トランスバーサルフィルタを用いても、一種のリミットサイクル状態に陥ることがある。つまり、複素乗算器23において求める入力信号と誤差信号との相関結果の時間平均が略0となり、タップ係数が収束したにも拘らずアイ開口が大きくなり、更に、等化前よりもアイ開口が小さくなって誤り率が大きくなり、誤差信号も大きくなって等化不能状態に陥ることがある。

【0015】

【発明が解決しようとする課題】このように、上述した従来のデータ復調装置においては、多値直交変調のデータ伝送を地上放送及び民生器等において採用した場合には、再生データクロック位相がアイパターンの最悪点近傍になって等化不能となることがあるという問題点があった。

【0016】本発明はかかる問題点に鑑みてなされたものであって、再生データクロック位相がアイパターンの最悪点近傍になった場合でも、等化可能とすることがのできるデータ復調装置を提供することを目的とする。

【0017】〔発明の構成〕

【課題を解決するための手段】本発明に係るデータ復調装置は、変調された周期 T のデータ信号を $T/2$ 周期毎のベースバンド信号に復調する復調手段と、この復調手段によって復調された復調信号を等化する自動等化手段と、この自動等化手段によって等化された周期 T 毎のデータ信号の誤りが所定値を越えたことを検出して誤り検出信号を出力する誤り検出手段と、前記自動等化手段の等化動作開始時の初期設定を指示するための動作開始信号と前記誤り検出信号とに基づいて前記自動等化手段を初期設定する初期化手段とを具備したものである。

【0018】

【作用】本発明において、誤り検出手段は、等化出力の誤りを検出することにより、自動等化手段の等化不能を検出する。初期設定手段は、誤り検出信号が入力されると、動作開始信号に基づく初期設定と異なる設定で自動等化手段を初期設定することにより、等化不能状態を回避する。

【0019】

【実施例】以下、図面を参照して本発明の実施例について説明する。図1は本発明に係るデータ復調装置の一実施例を示すブロック図である。

【0020】アンテナ1にはマイクロ波信号が誘起す

5

る。このマイクロ波信号は復調器2に与えられ、復調器2は、同相復調及び直交復調によって入力されたマイクロ波信号を復調して、周期が $T/2$ の同相検波出力信号及び直交検波出力信号からなる復調信号を出力すると共に、周期が T のデータクロック $CK1$ と周期が $T/2$ のデータクロック $CK2$ を再生する。復調器2からの周期 $T/2$ の復調信号、データクロック $CK1$ 及びデータクロック $CK2$ は自動等化器31に与えられる。

【0021】図2は図1中の自動等化器31の具体的な構成を示す回路図である。

【0022】自動等化器31はトランスバーサルフィルタ42、ラッチ回路18、判定器19、減算器21及び乗算器22によって構成されている。トランスバーサルフィルタ42は、縦続接続された前タップ $E-a$ 、 $E-a+1$ 、 \dots 、 $E-1$ 、主タップ $E0$ 及び後ろタップ $E1$ 、 \dots 、 Eb を有しており、タップ $E0$ 、 $E1$ を除くタップ $E-a$ 、 \dots 、 $E-1$ 、 $E2$ 、 \dots 、 Eb の構成は夫々図7の各タップと同一である。

【0023】即ち、各タップは、ラッチ回路14を有しており、入力端子11又は前段のタップからの復調信号が入力される。ラッチ回路14は $T/2$ 周期のクロック $CK2$ によって動作して、復調信号を次段のタップ、2段ラッチ回路16及び複素乗算器15に出力する。2段ラッチ回路16はクロック $CK2$ でデータを保持して複素乗算器23に出力する。

【0024】複素乗算器23には、後述するように、符号間干渉成分である誤差信号が α 倍されて与えられ、複素乗算器23はこの誤差信号と入力復調信号とを乗算して相関を求めて、タップ係数として複素加算器24に出力する。複素加算器24の出力はセレクト25の入力端B及びラッチ回路26を介して帰還されており、複素加算器24は、複素乗算器23からの周期 T 毎の相関結果と前クロック $CK1$ タイミングのタップ係数 c_i とを加算することにより、タップ係数を逐次修正して複素乗算器15に与える。複素乗算器15はラッチ回路14からの入力復調信号にタップ係数 c_i を乗算して加算器17に出力する。

【0025】タップ $E0$ 、 $E1$ を除く各タップのセレクト25は、通常時は入力端Bを選択して複素加算器24の出力をラッチ回路26に与え、端子27を介して後述する等化器リセット信号が与えられると、入力端Aを選択して初期設定用の固定値0をタップ係数としてラッチ回路26に与える。ラッチ回路26はクロック $CK1$ で動作してデータを保持すると共に、複素乗算器15及び複素加算器24にタップ係数を出力する。即ち、動作開始時には、タップ $E-a$ 、 \dots 、 $E-1$ 、 $E2$ 、 \dots 、 Eb のタップ係数は0に設定される。

【0026】本実施例の主タップ $E0$ とタップ $E1$ とは、セレクト25の入力端Aにセレクト43の出力が与えられる点が他のタップと異なる。セレクト43は、端子44を介して主タップ設定切換信号が与えられており、主タ

6

ップ設定切換信号のローレベル（以下、“L”という）で入力端Bを選択し、ハイレベル（以下、“H”という）で入力端Aを選択する。即ち、主タップ $E0$ のセレクト43は、主タップ設定切換信号の“L”で固定値1をセレクト25に与え、“H”で固定値0をセレクト25に与える。また、タップ $E1$ のセレクト43は、主タップ設定切換信号の“L”で固定値0をセレクト25に与え、“H”で固定値1をセレクト25に与える。即ち、本実施例の自動等化器31は、初期設定時に、主タップ係数 $c0$ に代えて、タップ係数 $c1$ を1に設定することができる。

【0027】加算器17は各タップ $E-a$ 乃至 Eb の複素乗算器15の出力を加算してラッチ回路18に与える。ラッチ回路18はクロック $CK1$ によって動作して加算器17の出力を判定器19及び減算器21に出力する。判定器19はラッチ回路18の出力の値を判定し、多値信号がとり得る値に変換して等化出力として端子20及び減算器21に出力する。減算器21は判定器19の入出力が与えられ、両者の減算によって、変復調装置の周波数特性の乱れ及び伝送路の反射等起因する符号間干渉成分である誤差信号 e を求めて複素乗算器22に与える。複素乗算器22は誤差信号を α 倍（ α は正の微小値）して、各タップの複素乗算器23に出力する。

【0028】自動等化器31の出力は端子20を介して誤り訂正回路33に与えられる。誤り訂正回路33は等化出力を誤り訂正して出力端子6に出力すると共に、誤り検出信号を初期化回路32に出力するようになっている。誤り訂正回路33は、文献3（「符号理論の手ほどき」テレビジョン学会誌1990年Vol. 44, No. 7〜）等に記載されているように、ハミング符号、 BCH 符号、 RS （リードソロン）符号等の誤り訂正符号を用いて構成することができる。誤り検出信号は、シンドローム計算をして、誤りパターン又は誤りロケータが検出されない場合に出力される。なお、ビタビ符号等の畳み込み符号を採用した場合には、生き残りパス判定用のしきい値及び探索する生き残りパスの深さ等のパラメータによって決定されるビタビ符号固有のパス探索を行う際に、例えば、正しいと推定される符号が検出されない場合に誤り検出信号を出力させるようにすればよい。

【0029】図3は図1中の初期化回路の具体的な構成を示す回路図である。

【0030】端子4からの動作開始信号はオアゲート55を介して等化器リセット信号として自動等化器31の端子27に供給される。端子4からの動作開始信号はカウンタ51及びラッチ回路53にも供給される。カウンタ51は動作開始信号によってリセットされてクロック $CK2$ をカウントし、カウント出力をデコーダ52に出力する。デコーダ52はカウント出力をデコードすることにより、動作開始信号から時間 $t1$ 後にカウントパルスを発生する。

【0031】カウントパルスはラッチ回路53及びアンドゲート54に与えられる。ラッチ回路53はカウントパルス

のタイミングで誤り検出回路5からの誤り検出信号をラッチして主タップ設定切換信号として出力すると共に、アンドゲート54にも出力する。アンドゲート54はカウントパルスのタイミングで“H”の誤り検出信号をオアゲート55を介して等化器リセット信号として出力するようになっている。

【0032】次に、このように構成された実施例の動作について図4のタイミングチャートを参照して説明する。図4(a)は動作開始信号を示し、図4(b)はデコーダ52からのカウントパルスを示し、図4(c)は誤り検出信号を示し、図4(d)は等化器リセット信号を示し、図4(e)は主タップ設定切換信号を示している。図4(c)乃至(e)はカウントパルスのタイミングで誤り検出信号のレベルが低い場合を示し、図4(f)乃至(h)は誤り検出信号のレベルが高い場合の例を示している。

【0033】先ず、電源投入時において、端子4を介して図4(a)に示す動作開始信号が復調器2、初期化回路32及び誤り訂正回路33に輸入される。システムリセット時に所定期間動作開始信号が“H”となることによつて、これらの復調器2、初期化回路32及び誤り訂正回路33がリセットされる。

【0034】初期化回路32は“H”の動作開始信号をオアゲート55を介して等化器リセット信号として自動等化器31の各タップE-a乃至E-bのセレクト25に与える。これにより、セレクト25は入力端Aを選択する。また、この時点ではラッチ回路53からの主タップ設定切換信号は“L”であり、タップE1、E1のセレクト43は入力端Bを選択する。即ち、主タップE0を除く各タップE-a, ..., E-1, E1, ..., E-bはタップ係数が0に設定され、主タップE0はタップ係数1が設定される。また、誤り訂正回路33もリセットされて、図4(c)に示すように、“H”の誤り検出信号が出力される。

【0035】動作開始信号が“L”になると、各タップのセレクト25は入力端Bを選択して、自動等化器31はタップ修正動作を開始し、等化出力を誤り検出回路33に出力する。誤り検出回路33は等化出力を誤り訂正して出力端子6から出力すると共に、誤り検出信号を初期化回路32に出力する。初期化回路32のデコーダ52は動作開始信号が“L”になった後の時間 t_1 経過後に図4(b)に示すカウントパルスを発生する。ラッチ回路53はこのカウントパルスのタイミングで誤り検出回路33からの誤り検出信号のレベルを検出する。カウントパルスのタイミングで、誤り検出信号がローレベルとなって誤り率が低い状態であることが示された場合には、等化に成功したものと判断することができる。この場合には、アンドゲート54の出力は“L”となって、オアゲート55からの等化器リセット信号は図4(d)に示すように、“L”を維持する。

【0036】逆に、タップ修正動作の開始から時間 t_1

経過後の誤り検出信号のレベルが依然として高く、誤り率が高い状態であることが示されるものとする(図4(f))。この場合には、等化に失敗したものと判断することができ、アンドゲート54はカウントパルス(図4(b))のタイミングでオアゲート55を介して等化器リセット信号を出力する(図4(g))。これにより、自動等化器31の各タップのセレクト25は入力端Aを選択する。また、この場合には、図4(h)に示すように、ラッチ回路53からの主タップ設定切換信号も“H”であり、タップE0、E1のセレクト43は入力端Aを選択する。即ち、主タップE0のセレクト43は0をセレクト25の入力端Aに与え、タップE1のセレクト43は1をセレクト25の入力端Aに与える。

【0037】即ち、この再リセット時には、主タップE0の隣のタップE1のタップ係数 c_1 のみが1で、他のタップのタップ係数 $c_{-a}, \dots, c_0, c_2, \dots, c_b$ は0に設定される。つまり、主タップが1タップずれたことになり、クロック位相が等価的に $T/2$ だけずれて、等化動作が再開される。一般的に、アイパターンの最悪位相点から $T/2$ ずれた位相点はアイ開口が広い。従って、主タップを1タップずらして等化動作を再開することによって、等化不能の状態を回避して、良好な等化出力を得ることができる。

【0038】このように、本実施例においては、誤り訂正が不完全となって誤り検出信号が発生すると、 $T/2$ 型トランスバーサルフィルタの主タップ位置を1タップ分ずらすことによって、最悪位相を回避して等化不能状態を回避する。これにより、従来のマイクロ波回線を用いてより多値のデータを送出可能となり、例えば同一帯域の伝送路でより多くの情報を伝送することができる。また、伝送路の品質が悪い地上放送において、民生レベルの復調器を用いた高能率データ伝送も可能となる。

【0039】図5は本発明の他の実施例を示す回路図である。図5において図2と同一の構成要素には同一符号を付して説明を省略する。

【0040】本実施例は自動等化器31に代えて自動等化器60を採用した点が図1の実施例と異なる。自動等化器60は、各タップが図7の従来例と同一のタップ13-a乃至13b、即ち、同一構成のタップで構成されると共に、入力端子11を介して入力される復調信号が主タップ再設定手段61を介してトランスバーサルフィルタ12に供給される。主タップ再設定手段61は入力端子11からの復調信号をクロックCK2で保持して出力するラッチ回路62とラッチ回路62の入出力の一方を選択的に出力するセレクト63とを有しており、セレクト63は端子44からの主タップ設定切換信号の“L”で入力端子11からの復調信号を選択し、“H”でラッチ回路62からの $T/2$ だけ遅延した復調信号を選択する。

【0041】このように構成された実施例においては、システムリセット時に等化リセット信号によって自動等

10

20

30

40

50

化器60はリセットされ、各タップのセクタ25は入力端Aを選択する。これにより、自動等化器60の主タップのタップ係数のみが1に設定され、他のタップのタップ係数は0に設定される。システムリセット時には主タップ設定切換信号もリセットされて“L”となっており、セクタ63は入力端子11からの復調出力をトランスバーサルフィルタ12に与える。

【0042】自動等化器60は動作開始信号の立下がりからタップ係数修正動作を開始する。動作開始信号の立下がりから所定時間後（例えば、 t_1 後）において、誤り検出信号のレベルが高い場合には、等化が失敗したものと判断されて、端子44を介して“H”の主タップ設定切換信号が発生する。そうすると、ラッチ回路62によって $T/2$ 期間だけ遅延した復調信号がセクタ63を介してトランスバーサルフィルタ12に供給される。各タップのセクタ25は等化器リセット信号によって入力端Aを選択しており、各タップ係数は初期値に設定される。入力される復調信号が $T/2$ だけ遅延しているので、タップ係数 c_1 のみが1で他のタップ係数が0に設定されたことと等価となる。

【0043】他の作用は図1の実施例と同様である。本実施例においても図1の実施例と同様の効果を得ることができる。

【0044】なお、上記各実施例においては、所謂、出力加重型のトランスバーサルフィルタを用いたが、LSI化に好適な入力加重型のトランスバーサルフィルタを用いてもよい。また、タップ係数修正アルゴリズムとして、LMSアルゴリズムを用いたが、例えば、ブラインド等化アルゴリズム等の他のアルゴリズムを用いてもよい。更に、上記各実施例では、トランスバーサルフィルタの各タップ毎に相関器を設けたが、DSP（ディジタルシグナルプロセッサ）等を用いて各タップ順に相関演

算を順次実行してもよい。また、QAM復調信号を複素数と看做して複素表現で説明したが、VSBを復調した場合のように、多値実数信号に対しても本発明は有効である。また、誤り検出手段として、誤り訂正回路を採用したが、誤り率が高いことを判定する誤り率測定手段であつてもよい。また、所謂ロジック回路のみを用いて初期化回路を構成したが、例えば、マイコン等を用いて、初期化条件を一層最適化させることもできる。例えば、等価的に主タップをずらしたにも拘らず誤り検出信号が発生する場合には、主タップを元に戻して再リセットを繰返すようにしてもよい。

【0045】

【発明の効果】以上説明したように本発明によれば、再生データクロック位相がアイパターンの最悪点近傍になった場合でも、等化可能とすることができるという効果を有する。

【図面の簡単な説明】

【図1】本発明に係るデータ復調装置の一実施例を示すブロック図。

20 【図2】図1中の自動等化器の具体的な構成を示す回路図。

【図3】図1中の初期化回路の具体的な構成を示す回路図。

【図4】実施例の動作を説明するためのタイミングチャート。

【図5】本発明の他の実施例を示す回路図。

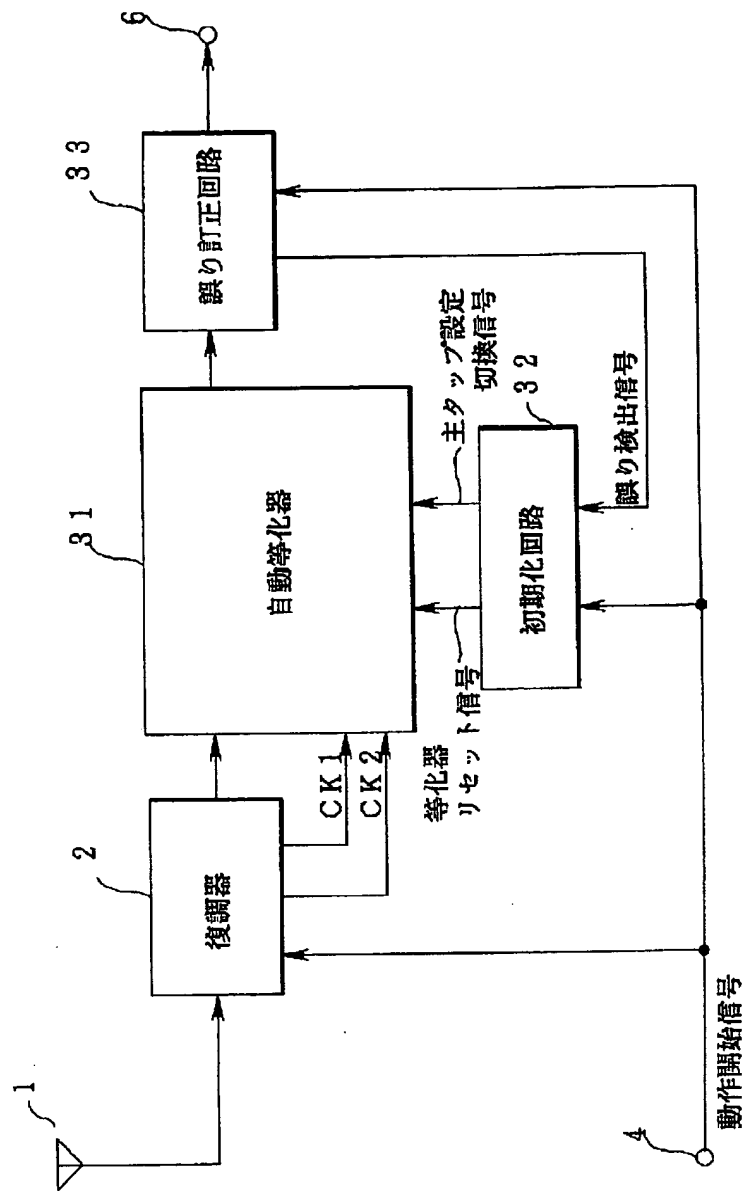
【図6】従来のデータ復調装置を示すブロック図。

【図7】図6中の自動等化器の具体的な構成を示す回路図。

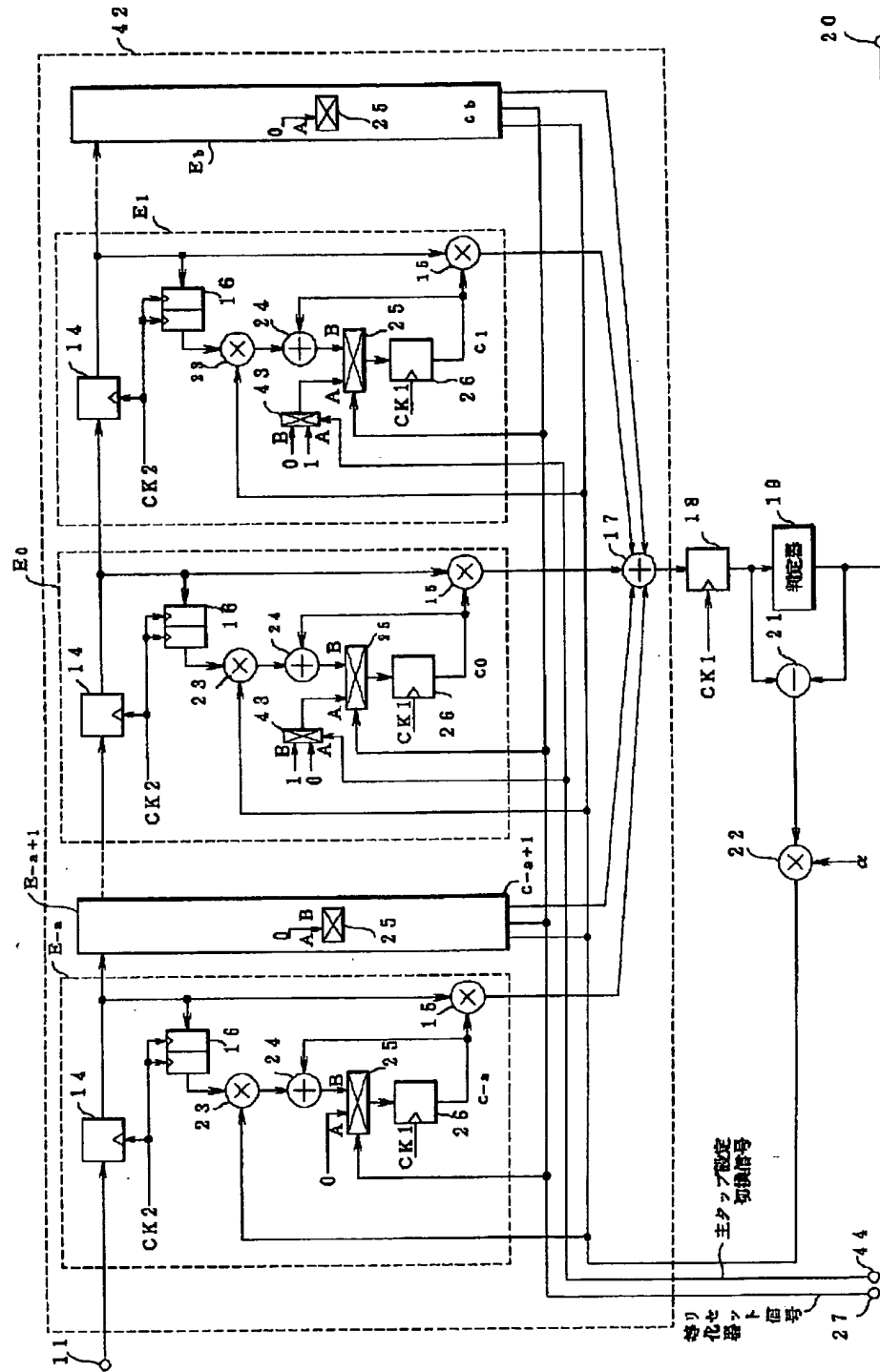
30 【符号の説明】

2…復調器、31…自動等化器、32…初期化回路、33…誤り訂正回路

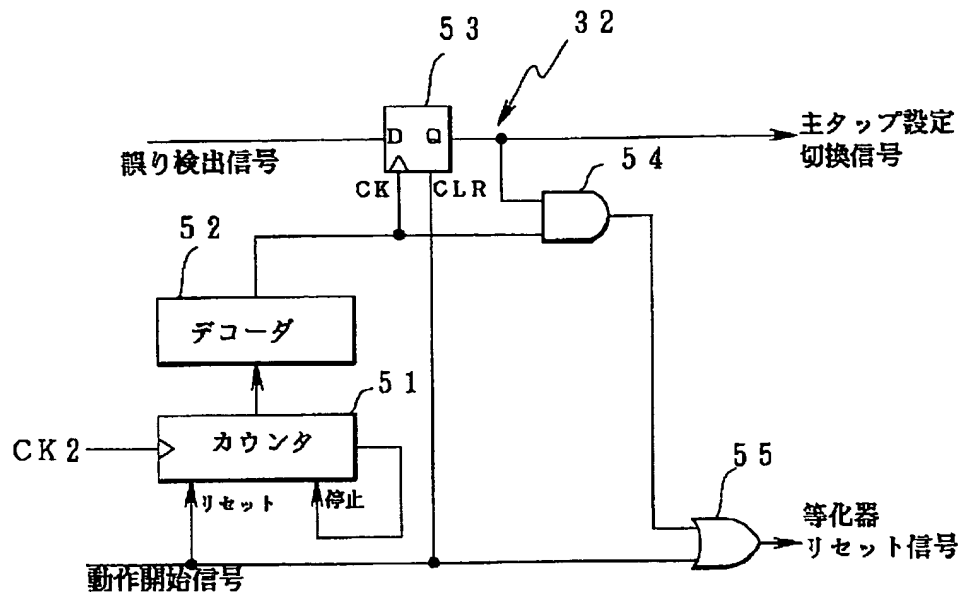
【図1】



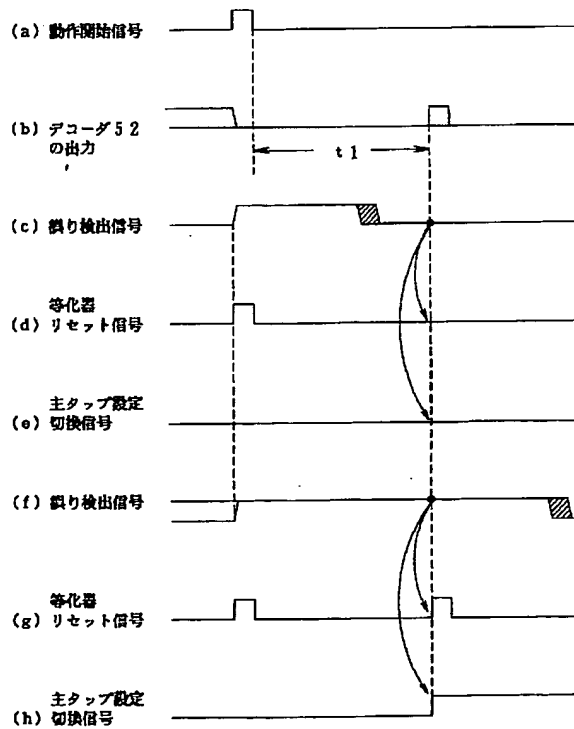
【図2】



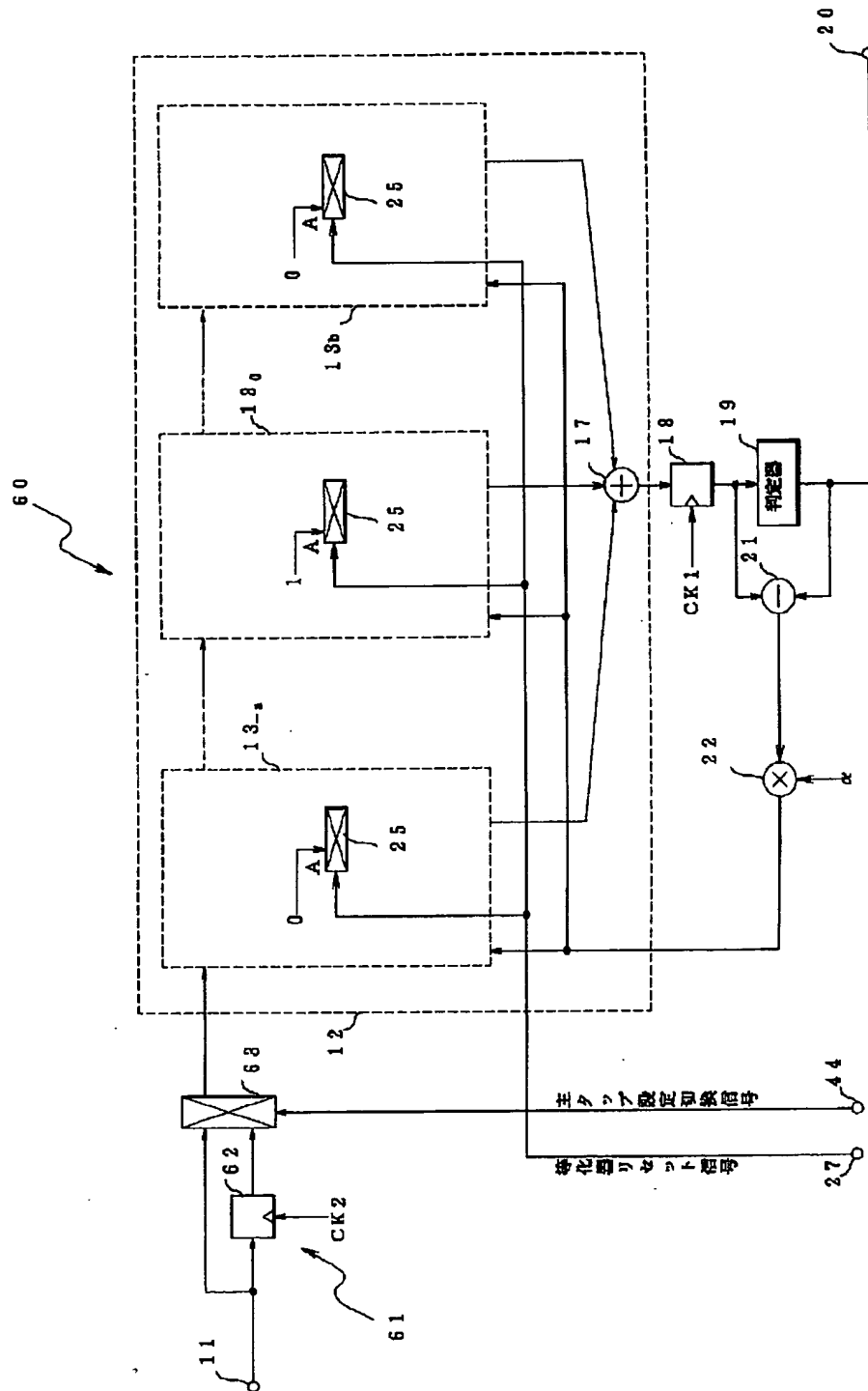
【図3】



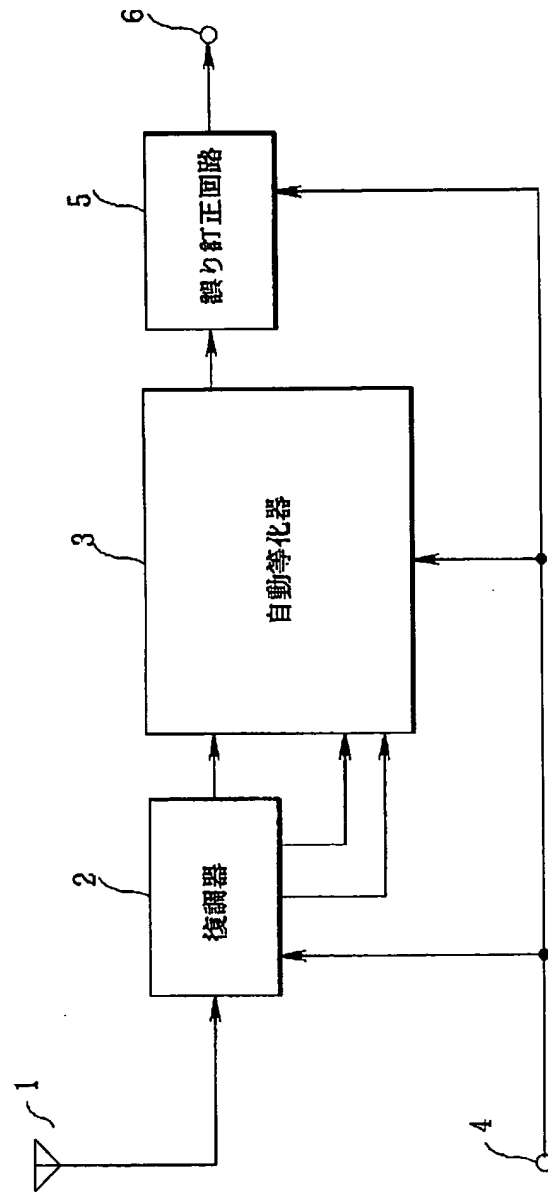
【図4】



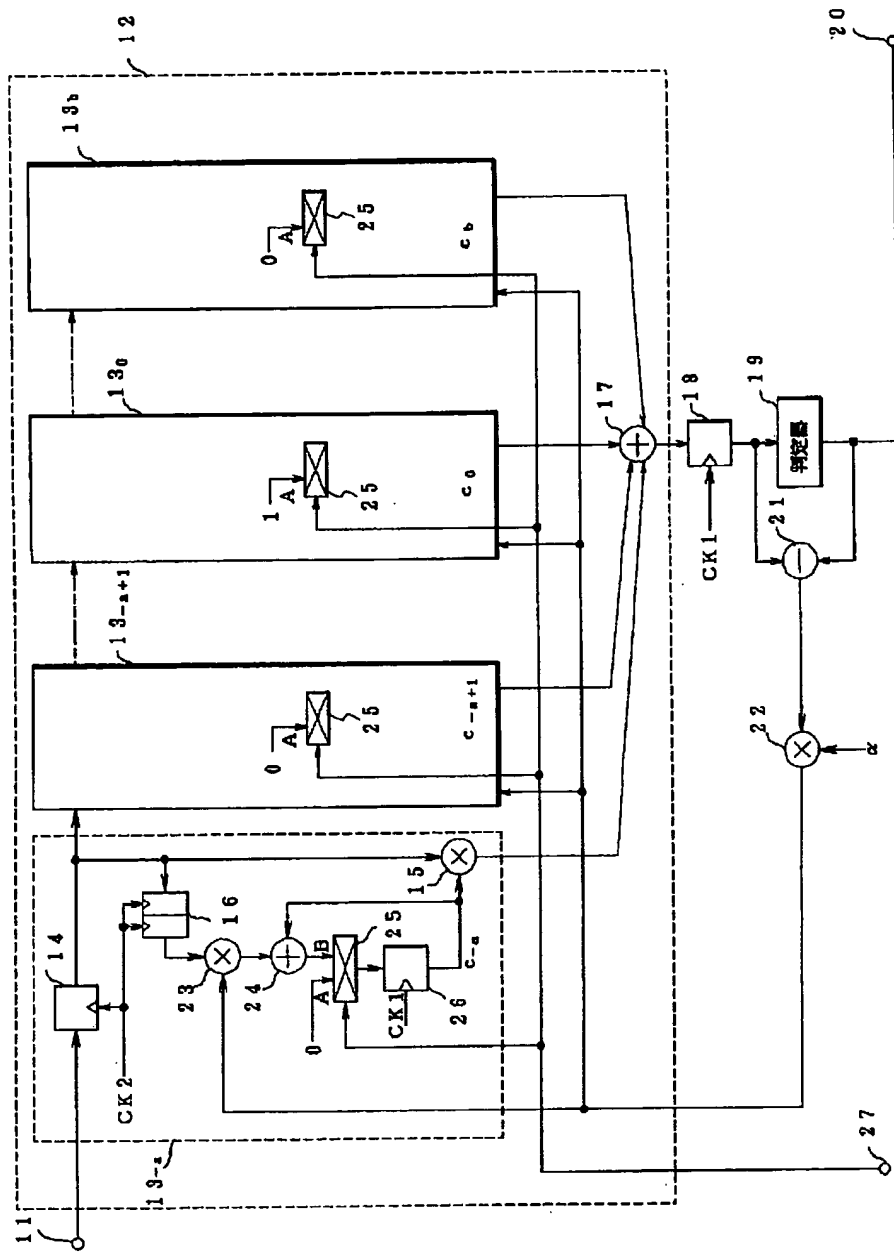
【図5】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.⁵

H04L 27/00

27/01

識別記号

庁内整理番号

F I

技術表示箇所

9297-5K

H04L 27/00

K